

一种 QC_LDPC 码译码器的设计

李振辉, 崔媛媛, 张洵颖, 沈绪榜, 杨 佩

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 根据 BP 译码算法, 设计了一种高速部分并行 QC_LDPC 码译码器结构, 该结构适用于所有其校验矩阵具有准循环特性的 LDPC 码. 针对传统 BP 译码器的结构复杂度高, 系统运行频率低和吞吐率小等特点, 本设计将 BP 译码算法中大量的复杂函数运算通过查找表的方法来实现; 校验节点和变量节点的处理均采用 5 级流水线的方式; 采用提前终止迭代译码策略. 本设计能有效地减少译码器硬件实现复杂度, 同时提高系统运行地频率和数据吞吐率.

关键词: QC_LDPC 码; BP 译码算法; 查找表; 流水线; 提前终止

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)09-0063-04

Design of High-Performance QC_LDPC Decoder

LI Zhen-hui, CUI Yuan-yuan, ZHANG Xun-ying, SHEN Xu-bang, YANG Pei

(Xi'an Microelectronics Technique Institute, Xi'an 710054, China)

Abstract: Based on the belief propagation (BP) decoding algorithm, a high-speed partially parallel decoder architecture suited for quasi-cyclic low density parity check (QC_LDPC) codes is designed. It is applicable to all the QC_LDPC codes. In view of the traditional BP decoders have complex architecture, low system operating frequency and low throughput features, three improved methods are proposed. Firstly large number of complex function operations can be achieved through a look up table. Secondly, check nodes and variable nodes are all use 5-stage pipeline for processing. Last early termination strategy is adopted. This design can effectively reduce the complexity of the hardware implementation of the decoder, at the same time improve the frequency and the decode throughput of the system.

Key words: QC_LDPC ; BP decoding algorithm; look up table; pipeline; early termination

1 引言

低密度奇偶校验 (Low Density Parity Check, LDPC) 码是 1962 年 Gallager 博士提出的具有接近香农极限特性的线性分组码^[1-2], 由于 LDPC 码具有出色的纠错性能使其广泛地应用于通信的各个领域. QC_LDPC (Quasi Cyclic Low Density Parity Check) 码是 2001 年由 Fossorier 等提出的具有准循环结构的 LDPC 码^[3], 解决了 LDPC 码校验矩阵中非零元素的不规则特性给编译码器硬件实现带来的困难. LDPC 码置信传播 (Belief Propagation, BP) 译码算法^[4]性能优越、误码率低, 但是其算法复

杂度高、硬件实现难度大, 很难在实际中应用.

本文主要研究了基于 BP 译码算法的 LDPC 译码器的 FPGA 实现. 针对传统 BP 译码器算法复杂度高、系统运行频率低和数据吞吐率小等特点, 采用了三种有效地改进方法: 将 BP 译码算法中存在的大量复杂函数运算通过查找表的方式来实现; 校验节点和变量节点的处理均采用 5 级流水的方式; 采用提前终止策略. 通过以上三种方法有效地减少了硬件资源的消耗、提高了系统运行的频率和吞吐率.

2 BP 译码算法

BP 译码算法也叫和积译码算法, 是一种基于

Tanner 图的迭代概率传播译码算法, 每轮迭代中变量节点概率信息和校验节点概率信息沿着 Tanner 图上的边进行概率信息传递. 假设符号 R_j 表示与校验节点 j 相连的所有变量节点的集合, $R_{\setminus i}$ 表示与校验节点 j 相连的所有变量节点中除了变量节点 i 的集合, C_i 表示与变量节点 i 相连的所有校验节点的集合, $C_{\setminus j}$ 表示与变量节点 i 相连的所有校验节点除了校验节点 j 的集合, y 表示从信道里接收到的码字. 符号 $L(r_{ji})$ 、 $L(q_{ij})$ 和 $L(Q_i)$ 分别表示校验节点向变量节点传递的似然比信息、变量节点向校验节点传递的似然比信息和变量节点取值的似然比信息. 具体的算法步骤如下所示:

第一步, 初始化码字的原始概率信息.

$$L(q_{ij}) = L(c_i) = \frac{2y_i}{\sigma^2} \quad (1)$$

第二步, 校验节点概率信息的更新.

$$L(r_{ji}) = \prod_{i \in R_{\setminus j}} \alpha_{ij} \cdot \varphi \left[\sum_{i \in R_{\setminus j}} \varphi(\beta_{ij}) \right] \quad (2)$$

$$\text{其中, } \alpha_{ij} = \text{sign}[L(q_{ij})], \beta_{ij} = |L(q_{ij})|, \varphi(z) = -\log[\tanh(z/2)] = \log \frac{e^z + 1}{e^z - 1}. \quad (3)$$

第三步, 变量节点概率信息的更新.

$$L(q_{ij}) = L(c_i) + \sum_{j \in C_{\setminus i}} L(r_{ji}) \quad (4)$$

同时计算

$$L(Q_i) = L(c_i) + \sum_{j \in C_i} L(r_{ji}) \quad (5)$$

根据求得的 $L(Q_i)$ 进行判决, 若 $L(Q_i) > 0$, 则判决码字 C 为 0, 否则为 1.

第四步, 结果判断.

如果求得的码字 C 和上一次求得的码字 C 相同或者达到了最大迭代次数, 则译码结束, 输出译码结果, 否则迭代次数加 1, 跳回第二步重新进行下一次迭代.

BP 译码算法的译码流程图如图 1 所示.

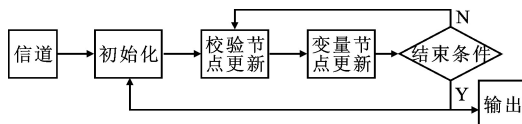


图 1 BP 译码算法流程图

3 LDPC 译码器的设计

本设计采用部分并行的译码结构^[5], 避免了全并行译码结构硬件实现复杂度高的缺点, 同时也克服了串行译码结构速度慢和吞吐率小的不足.

3.1 查找表

由第二节 BP 译码算法中式(2)、(3)可知, 译码算法中包含大量复杂函数 $\tanh$ 和 $\log$ 的运算, 直接用硬件实现时结构复杂度高且运算速度很慢. 因此, 可以采用查找表的方法实现, 以降低其结构实现复杂度. 根据第二节式(3)中 $\varphi(z)$ 函数的特性可知, 将其函数的定义域和值域都限定在一定的范围内能够表示其函数特性, 满足译码性能的需求. 根据译码器精度的需要, 将函数 $\varphi(z)$ 的定义域划分成若干个等分的离散点, 然后求出这些点对应的函数值. 然后将这些离散点和函数值的用对应的二进制数表示, 以离散的点的值作为地址, 求出的对应的函数值作为该地址存储的值, 存储在只读存储器 ROM 中构成一个查找表, 这样给一个只读存储器 ROM 的地址即可得到对应的函数值, 简化了硬件实现的复杂度, 提高了运算的速度.

3.2 校验节点和变量节点的处理

校验节点和变量节点处理是整个译码系统的核心, 如何提高其处理的速度是提高整个系统运行频率和吞吐率的关键. 因此, 本文设计了 5 级流水线的处理结构, 以下两小节以 WiMAX 标准中码率为 1/2, 码长为 2304, 传递的概率信息量化位数为 6 位的 LDPC 码为例, 对该流水线做详细地介绍.

3.2.1 校验节点处理单元

校验节点处理单元主要是计算校验节点向与之相连的变量节点传递的概率信息. 由 BP 译码算法可知校验节点处理主要包括两部分, 一部分是完成传递的概率信息数值的计算, 另一部分是符号的计算. 校验节点处理是按行进行的, 假设校验矩阵的基矩阵是一个 $m \times n$ 的矩阵, 里面的每一个元素均表示一个 $k \times k$ 的方阵, 那么校验节点处理单元可以划分为 m 个并行执行校验节点处理单元, 每一个处理单元内部是串行的. 每一个校验节点处理单元整体被划分为 5 级流水线, 其结构如图 2 所示. 第一级流水线是用来从对应的 ram 中读取上一次迭代运算变量节点向校验节点传递的概率信息; 第二级流水线对输入的二进制补码形式的概率信息进行符号和数值的分离, 然后通过查找表的方法计算出函数 $\varphi(|L(q_{ij})|) = -\log[\tanh(\frac{|L(q_{ij})|}{2})]$ 的函数值; 第三级流水线是将通过查找表法求得的函数值相加, 然后根据相加的结果进行判断, 如果大于 31, 那么将求得的结果置成“11111”, 否则结果即为加法求得的结果的低 5 位, 然后再将第二级流水线求得的符

号进行异或运算;第四级流水线是将第三级流水线相加的结果作为输入,通过查找表计算出校验节点向对应的变量节点传递的概率信息的数值,然后再将该数值和第三级流水线求得符号合并成二进制补码的形式;第五级流水线是将求得的概率信息再写进第一级流水线取值所对应的 RAM 中。

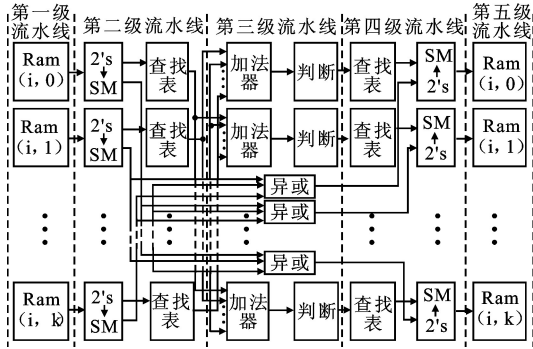


图2 校验节点处理流水结构

在图2所对应的流水结构中,为了减低译码器关键路径的延迟,将该处理单元设计成了5级流水线的处理方式,有效地提高了整个系统运行的频率,增加了数据吞吐量。

3.2.2 变量节点处理单元

变量节点处理单元的功能是计算变量节点向与之相连的校验节点传递的概率信息。变量节点处理是按列进行的,假设校验矩阵的基矩阵是一个 $m \times n$ 的矩阵,里面的每一个元素均表示一个 $k \times k$ 的方阵,那么变量节点处理单元可以划分为 n 个并行执行的变量节点处理单元。其中每一个处理单元串行的执行 k 次。变量节点处理单元整体被划分为5级流水线,其结构如图3所示。变量节点处理单元包含两个部分,一部分是计算下一次迭代中变量节点向与之相连的校验节点传递的概率信息,一部分是计算本次迭代的译码结果。图中的虚线表示流水线各级之间的划分。由于中间加法计算得到的结果的数据位宽大于存储位宽,因此需要对加数进行符号扩展,根据校验矩阵列重的不同确定符号的扩展位数。第四级流水线是用来对第三级流水线相加求得的结果的判决,如果求得的结果超出六位二进制补码码值的表示范围则将其强制转化为相应的边界值。

3.3 提前终止策略和最大迭代次数的选择

传统上有两种方法用来结束一帧码字的迭代译码。一种是设置一个迭代次数,当迭代次数达到该值时迭代结束。这种方法的优点是简单且易于实现,缺点是译码效率低、灵活性差、只适用于单一的通信环境。另一种是检测译码得到的码字 C 是否满足方程

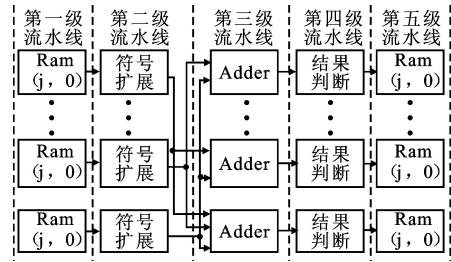


图3 变量节点处理流水结构

$CH^T=0$, 满足则迭代结束输出译码结果, 否则进入下一次迭代^[6]。这种方法虽然能动态的调整迭代次数也适用于各种通信环境, 但是要实现方程 $CH^T=0$ 的计算需要耗费大量的硬件资源。针对这两种方法的不足本文采用一种新的迭代终止策略, 这种方法既能解决前两种方法的译码效率低、灵活性差和消耗大量硬件资源的缺点, 又能动态的调整迭代译码次数、减少输入输出延迟和增加吞吐量。

该提前终止译码策略是比较两次连续译码结果, 如果结果相同则迭代结束, 否则检测迭代次数是否达到最大迭代次数, 如果达到最大迭代次数则迭代结束, 否则进入下一次迭代。由于 LDPC 码在 WiMAX (Worldwide Interoperability for Microwave Access)^[7] 标准中是系统码, 信息位是码字的一部分, 因此直接检测码字中的信息位是否一致, 这样提高了系统的效率。例如 (2304, 1152) 的 LDPC 码只需检测 1152 位的信息位而不是 2304 位的码字。其硬件实现结构如图4所示。

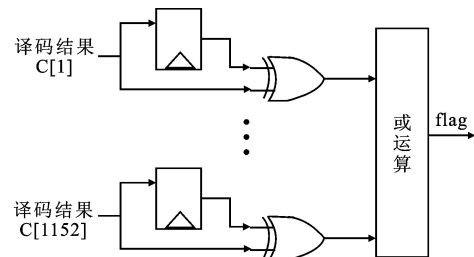


图4 提前终止译码策略结构图

最大迭代次数决定着译码器的输入输出延迟, 随着译码迭代次数的增加译码器的误码率越来越小, 但是其硬件开销和输入输出延迟也随着迭代次数的增加而增加。图5展示了 WiMAX 标准中码率为 $1/2$, 码长为 2304 的 LDPC 码, 不同迭代次数的译码性能, 从图上可以看出当迭代次数达到 20 以后随着迭代次数的增加, 译码器的性能增加的很少, 而硬件的开销则增加的很多。考虑到译码性能和硬件开销的折衷将最大迭代次数设定为 20 次。图5展示的是在高斯白噪声通信环境下仿真的结果, 对于不

同的通信环境,最大迭代译码次数是可以配置的。

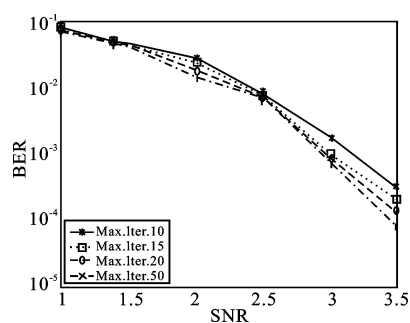


图5 不同迭代次数对译码器性能的影响

4 FPGA 实现结果

根据以上提出的 LDPC 码译码结构,成功地实现了基于 WiMAX 系统的码率为 1/2,码长为 2304 的 LDPC 码译码器.本设计采用 VHDL 语言编写,采用 Modelsim DE 10.0C 进行功能仿真,使用 ise 10.1 进行 FPGA 逻辑综合、布线,最终在 Xilinx 公司的 Virtex5 XC5VLX330T FPGA 完成验证.该译码器的硬件资源使用情况及性能如表 1 所示.

表1 FPGA 资源消耗情况

器件	Virtex5 XC5VLX330T
ALUTs	16722
Registers	10844
Ram	54720 bit
最高时钟频率	215.3 MHz
数据吞吐率(20 次)	123 Mb/s

5 结束语

由于 BP 译码算法复杂度高,硬件实现复杂,本文采用了查找表的方法来降低译码复杂度.针对传统 BP 算法译码器系统运行频率和吞吐率低的特点,本文设计了校验节点和变量节点处理的 5 级流水结构和提前终止迭代译码策略,大大提高了系统运行的频率和数据吞吐率.在 FPGA 上的实现结果

表明基于 WiMAX 系统的码率为 1/2,码长为 2304 的 LDPC 译码器结构性能优越,其最高时钟频率达到了 215.3 MHz,迭代次数为 20 时数据吞吐率为 123 Mb/s.

参考文献:

- [1] Gallager R. Low-density parity-check codes[J]. IRE Trans. Inf. Theory, 1962(7):21-28.
- [2] MacKay D J C, Neal R M. Near shannon limit performance of low-density parity-check codes[J]. Electronics Letters, 1996(32):1645-1646.
- [3] Kou Y, Lin S, Fossorier R. Low-density parity-check codes based on finite geometries: a rediscovery and new results[J]. IEEE Transactions on Information Theory, 2001, 47(7):2711-2736.
- [4] Richardson T J, Urbanke R L. The capacity of low density parity check codes under message-passing decoding [J]. IEEE Transactions on Information Theory, 2001(47):599-680.
- [5] Cui Z, Wang Z. Area-efficient parallel decoder architecture for high rate QC_LDPC codes[C]// Proc. IEEE ISCAS. Greece, Kos, 2006:5107-5110.
- [6] 李凤飞,郝学飞,胡国荣. 一种高效的多码率 LDPC 译码器的设计[J]. 微电子学与计算机, 2011, 28(2): 23-27.
- [7] IEEE Std. 802.16e. IEEE Standard for local and metropolitan area networks Part 16: air interface for fixed and mobile broadband wireless access systems, amendment 2: physical and medium access control layer for combined fixed and mobile operation in licensed bands[S]. 2006.

作者简介:

李振辉 男,(1988-),硕士.研究方向为 IC 设计.

(上接第 62 页)

- [6] Oh N, Shirvani P, McCluskey E J. Control flow checking by software signatures[J]. IEEE Trans on Reliability, 2002, 51(2): 111-122.
- [7] 王永庆,张民选. 一种改进的旋转 CRC 数据校验设计方法[J]. 国防科技大学学报, 2011, 35(6):48-54.

作者简介:

黄威 男,(1989-),硕士研究生.研究方向为 IC 设计.
刘恺 男,(1990-),硕士研究生.研究方向为 IC 设计.
廖望 男,(1990-),博士研究生.研究方向为 IC 设计.
戴葵 男,(1968-),教授.研究方向为 IC 设计.